

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-92453

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)4月27日

H 01 L 21/88
27/08

1 0 2

6708-5F
6655-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-232601

⑰ 出 願 昭60(1985)10月18日

⑱ 発 明 者 清水 了 典 川崎市川崎区田辺新田1番1号 富士電機株式会社内
⑲ 発 明 者 田 淵 良 弘 川崎市川崎区田辺新田1番1号 富士電機株式会社内
⑳ 出 願 人 富士電機株式会社 川崎市川崎区田辺新田1番1号
㉑ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1) 半導体装置の基板上に金属配線を形成した後、該半導体装置表面に前記金属配線より大きい硬さを有する表面保護膜を被着し、次いで前記金属配線にシンター熱処理を施すことを特徴とする半導体装置の製造方法。

2) 特許請求の範囲第1項記載の方法において、配線にアルミニウムを主成分とする金属を用い、表面保護膜に窒化珪素膜を用いることを特徴とする半導体装置の製造方法。

3) 特許請求の範囲第1項記載の方法において、配線にアルミニウムを主成分とする金属を用い、表面保護膜に酸化珪素膜を用いることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は半導体基板上に金属配線を形成する方法に関する。

(従来技術とその問題点)

例えば半導体集積回路ではその集積度を高めるため加工寸法をますます微細にする傾向にあり、これに伴って半導体基板上に被着される金属配線の寸法も縮小されるようになってきたが、その際問題となるのは金属-半導体基板もしくは金属-金属間のコンタクト抵抗が増大するのを防ぎ、半導体装置に高い信頼性をもたせなければならないことである。

金属配線を被着した半導体装置の一例として第2図にシリコンゲートCMOS ICの要部断面図を示した。第2図はn型シリコン基板1にPウェル領域2を形成し、それぞれにPチャンネルMOS、NチャンネルMOSを作り込んだ後に、金属配線3として、例えばAl-Siを表面に形成したものであり、4はポリシリコンゲート、5a、5bはそれぞれPチャンネルMOSのソースおよびドレインである。

例えば以上の構成をもった半導体装置に被着する金属配線3は従来は厚みが1μm、加工巾寸法10

μm 程度であり、 Al-Si とシリコンとの電気的接続を良好にさせ、コンタクト抵抗の増大を抑制するためには金属配線3を形成した後充分にシンター熱処理を施さなければならないが、シンター熱処理工程は金属配線3の形成直後に行なわれるのが普通であった。

しかしながら、このシンター熱処理を施すと、下地材料と配線金属との間の熱膨張係数の差により、配線金属中に大きな応力を発生し、その応力が解放される過程で金属表面に鋭角形状のヒロックやウイスキーが密に発生するようになり、その数は数千/ μm^2 にも達する。したがってシンター熱処理後に金属表面に保護膜を形成しても、保護膜が鋭いヒロックやウイスキーを推し切れず、その部分に保護膜のピンホールが発生したり、後工程においてそのピンホールを通して配線の一部が侵食を受けるといった問題を生ずる。

このことは半導体装置の信頼性を著しく損うものであり、とくに素子の加工寸法の微細化に伴う金属配線の巾寸法の減少に対してはヒロックやウ

(3)

さは $0.5\mu\text{m}$ 、加工巾寸法は $2\mu\text{m}$ 程度になっており、第2図に比べて縮小されているものとする。第1図が第2図と異なる所は両図の比較からわかるように金属配線3の上に酸化珪素膜6を被着した点にある。すなわち従来は前述したように、金属配線3を形成直後にシンター熱処理を行っていたのに対し、本発明では金属配線3を形成した後、プラズマCVD法により、さらに表面保護膜として金属配線3よりも硬い酸化珪素膜6を被着し、しかる後にシンター熱処理を施すようにしたものである。このようにすると金属配線3の厚さと加工巾寸法がそれぞれ $0.5\mu\text{m}$ 、 $2\mu\text{m}$ 程度であるから、シンター熱処理を施しても金属配線3内に生ずる応力は比較的小さく、しかもそのとき発生するヒロックなどは金属配線3より硬い酸化珪素膜6に押さえられて鋭角形状を呈することなく、平たい台形状となり、このヒロックの発生により金属配線3の内部応力は解消されてしまう。ヒロックの形状が尖ったものとならないので、本発明によれば酸化珪素膜6にはピンホールやクラックが生ずる

(5)

ヒロックの発生は致命的と見られるので、この問題の解決策は極めて重要である。

〔発明の目的〕

本発明は上述の点に鑑みてなされたものであり、その目的は半導体基板上の金属配線にシンター熱処理工程でヒロックやウイスキーを発生させることなく、コンタクト抵抗を十分に低くすることができる金属配線の形成方法を提供することにある。

〔発明の要点〕

本発明は半導体基板上に形成した金属配線の表面に絶縁膜を被着した後にシンター熱処理を施すことにより、金属配線表面にヒロックやウイスキーを発生を防止良好なコンタクトを得るようにしたものである。

〔発明の実施例〕

以下本発明を実施例に基づき説明する。

第1図は本発明の方法を説明するために便宜上第2図に示したシリコンゲートCMOSICの例を再掲したものであり、したがって第2図と同一符号を用いてある。但し第1図では金属配線3の厚

(4)

可能性はなくなり良好なコンタクトが得られるとともに、半導体装置の製造歩留と信頼性を著しく向上させることができる。

なお本発明の方法は上記した実施例のほかにも配線金属と表面保護膜との種々の組み合わせに対しても有効であり、例えば配線金属にモリブデン、タングステン、チタンなどを用い、表面保護膜としてCVD法やスパッタ法による酸化珪素膜もしくは珪ガラスを用いた場合にも適用できるものである。

〔発明の効果〕

集積回路など半導体装置の金属配線を形成するに当たって従来金属配線を形成してシンター熱処理を行ってから表面保護膜を被着していたのでシンター熱処理工程で発生する鋭角状のヒロックやウイスキーにより表面保護膜にピンホールを生ずるなど半導体装置の信頼性を損うものであったのに対し、本発明の方法によれば実施例で説明したように、金属配線を形成しさらにその金属配線より大きな硬さを有する表面保護膜を被着した後シ

(6)

シンター熱処理を施すという一部工程順を変更したために、シンター熱処理に際して発生する金属配線のヒロックやウイスキーはより硬い表面保護膜に押さえられて、鋭角状となることができず、台形状となるにとどまり、したがって表面保護膜にピンホールやクラックが生ずる可能性は全くなり、良好なコンタクト状態が得られ半導体装置の歩留と信頼性の向上に寄与する所が極めて大きい。

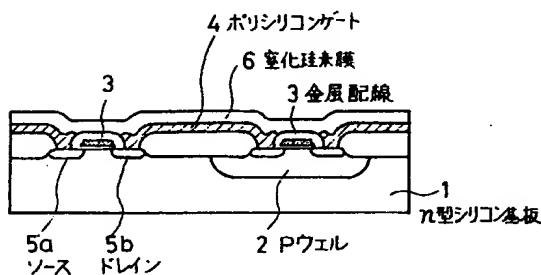
このことはますます加工寸法が微細化の傾向をたどる半導体装置においては配線金属の良好なコンタクトを得ることが装置の信頼性に対する一つの決め手となるという点からも本発明は大きな効果をもつものである。

4. 図面の簡単な説明

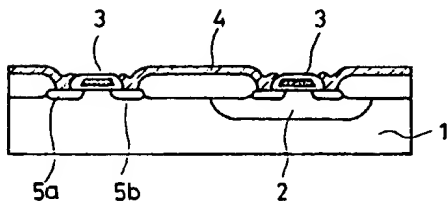
第1図は本発明の一実施例を説明するための半導体装置の要部断面図、第2図は従来の半導体装置の要部断面図である。

1…n型シリコン基板、2…Pウェル、3…金属配線、4…ポリシリコンゲート、5a…ソース、

(7)



第1図



第2図

5b…ドレイン、6…窒化珪素膜。

代理人弁理士 山口



(8)

手続補正書(自発)

昭和60年12月24日

特許庁長官

字 賀 道 郎 殿



1. 事件の表示

特願昭60-232601

2. 発明の名称

半導体装置の製造方法

3. 補正をする者
事件との関係

出願人

住 所

川崎市川崎区田辺新田1番1号

名 称

(523) 富士電機株式会社

(ほか 名)

4. 代 理 人

住 所

川崎市川崎区田辺新田1番1号

氏 名

富士電機株式会社内
(7110) 弁理士 山口 剛
Tel. (044) 333-7111 (内線4564)



5. 補正指令の日付 昭和 年 月 日

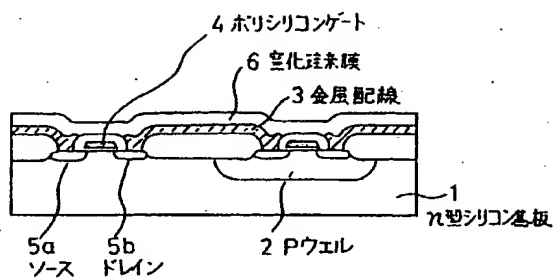
6. 補正により増加する頁数の数

60.12

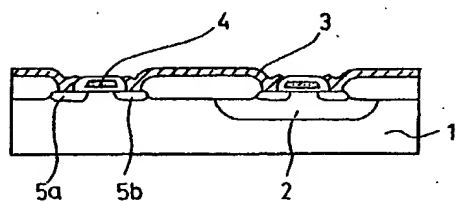
7. 補正の対象となる図面(第1図、第2図訂正)

8. 補正の内容

別紙の通り図面第1図、第2図を訂正します。方式 (電 査)



第 1 図



第 2 図